

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-221562

(43)Date of publication of application : 30.08.1996

(51)Int.Cl.

G06T 1/60  
H04N 5/335  
H04N 5/907  
H04N 5/937  
H04N 5/94

(21)Application number : 07-022907

(71)Applicant : HITACHI LTD  
RICOH CO LTD

(22)Date of filing : 10.02.1995

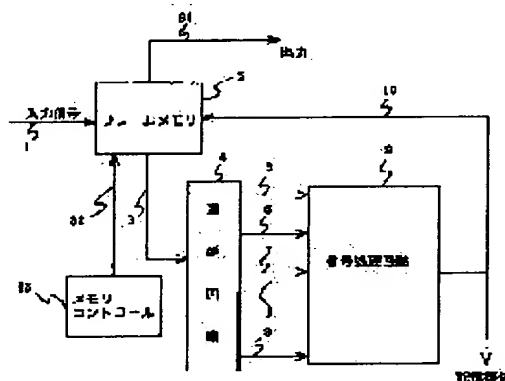
(72)Inventor : ASADA YASUSHI  
OTSUBO HIROYASU  
MAEDA HIDEKAZU  
SAKAGUCHI TOMOHIRO

## (54) IMAGE SIGNAL PROCESSOR

## (57)Abstract:

PURPOSE: To reduce the cost and to reduce the power consumption of a circuit by reducing the circuit scale by decreasing the capacity of a memory for generating a delay signal.

CONSTITUTION: An inputted data signal 1 is stored in a frame memory 2, delay processing is performed by successively reading data 3 from this frame memory 2 for every divided block and the processing result is stored in the frame memory 2 again so that signal processing for one picture can be completed by a small capacity memory.



## LEGAL STATUS

[Date of request for examination] 19.04.2001

[Date of sending the examiner's decision of rejection] 16.11.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3671448

[Date of registration] 28.04.2005

[Number of appeal against examiner's decision of rejection] 2004-25697

[Date of requesting appeal against examiner's  
decision of rejection]

16.12.2004

[Date of extinction of right]

(19)日本国特許庁 (J P)

## (12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-221562

(43)公開日 平成8年(1996)8月30日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 T	1/60		G 0 6 F 15/64	4 5 0 G
H 0 4 N	5/335		H 0 4 N 5/335	Z
	5/907		5/907	B
	5/937		5/94	A
	5/94		5/93	C
審査請求 未請求 請求項の数 6 O L (全 17 頁)				

(21)出願番号 特願平7-22907

(22)出願日 平成7年(1995)2月10日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 浅田 耕史

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所映像メディア研究所内

(72)発明者 大坪 宏安

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所映像メディア研究所内

(74)代理人 弁理士 高田 幸彦

最終頁に続く

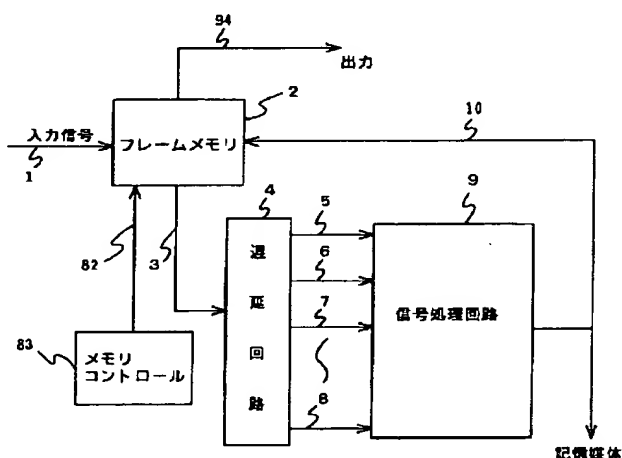
(54)【発明の名称】 画像信号処理装置

## (57)【要約】

【目的】遅延信号を生成するためのメモリを少容量化して回路規模の縮小によるコスト低減、回路の消費電力の軽減をはかる。

【構成】入力したデータ信号1をフレームメモリ2に記憶し、このフレームメモリ2から分割したブロック毎にデータ3を逐次読み出して遅延処理を行ない、処理結果を再びフレームメモリ2に書き込むことにより、少ない容量のメモリで1画面分の信号処理を完成する。

図 1



## 【特許請求の範囲】

【請求項1】 フレームメモリ(2)と、メモリコントロール部(83)と、信号遅延回路(4)と、信号処理回路(9)とを備えた画像信号処理装置において、前記メモリコントロール部(83)は、入力データ信号(1)を前記フレームメモリ(2)に記憶するように該フレームメモリ(2)を制御する第1の制御と、前記フレームメモリ(2)に記憶したデータを、画面を水平方向に $n$ 個のブロックに分割して分割したブロック毎に水平方向のデータ数が $(1/n)$  H分のデータ信号(3)をライン順に読み出すようにフレームメモリ(2)のアドレス(82)を制御する第2の制御と、前記信号処理回路(9)の処理結果を再び該フレームメモリ(2)の読み出したデータに上書きするか他の記憶媒体に記憶し、同様の処理を $n$ 個の全ブロックについて行ない、1画面分の信号処理を完了するように該フレームメモリ(2)または他の記憶媒体を制御し、処理結果の画像を出力する第3の制御を実行し、前記信号遅延回路(4)は、前記フレームメモリ(2)から読み出されるデータ信号から1ライン遅延データ信号(6)～ $m$ ライン遅延データ信号(8)を生成し、前記信号処理回路(9)は、前記信号遅延回路(4)で生成した各遅延データ信号から画像信号を生成することを特徴とする画像信号処理装置。

【請求項2】 請求項1において、該画像信号処理装置は静止画処理モードと動画処理モードの2種の処理モードを切り替える手段を備え、前記静止画処理モードにおいては、前記信号遅延回路(4)は、 $(1/n)$  H分の容量の $m$ 個のラインメモリで、フレームメモリ(2)から読み出したデータ信号(3)を $m$ ライン分記憶することで、順次、現データ信号(5)～ $m$ ライン遅延データ信号(8)を生成し、前記動画処理モードにおいては、前記入力データ信号(1)は、該フレームメモリ(2)を介せず該信号遅延回路(4)に導いて前記 $m$ 個のラインメモリをH分の記憶装置として使用することを特徴とする画像信号処理装置。

【請求項3】 請求項1において、前記メモリコントロール部(83)は、入力データ信号(1)をフレームメモリ(2)に記憶する際には水平方向にアドレスをオフセットした位置から書き込み、最初に処理したブロックのデータ信号(72)を再び該フレームメモリ(2)に記憶するときには水平方向のアドレスを0の位置から書き込むことで、次のブロックの処理をするときには水平方向に前記オフセット量に相当する画素分前から処理を行ない、両ブロックの境目部分において連続したデータ処理を行なうようにしたことを特徴とする画像信号処理装置。

【請求項4】 分光感度の異なる複数の色フィルタをもち、1水平ラインにおいては、第1の色及び第2の色に

対応する色フィルタをもつ光電変換素子から生成されるデータ信号を出力し、次の水平ラインにおいては、第3の色及び第4の色に対応する色フィルタをもつ光電変換素子から生成されるデータ信号を出力する撮像素子(18)と、フレームメモリ(2)と、メモリコントロール部(83)と、信号遅延回路(4)と、信号処理回路

(9)を備えた画像信号処理装置において、この画像信号処理装置は、静止画処理モードと動画処理モードの2種の処理モードを切り替える手段を備え、静止画処理モードにおいては、

前記撮像素子(18)から出力したデータ信号(1)をフレームメモリ(2)に1フレーム分記憶し、記憶したデータを左半画面ブロックと右半画面ブロックとに分けて各ブロック毎に前記データを1ラインづつライン順に出力するようにフレームメモリ(2)を制御するメモリコントロール部(82)と、

前記フレームメモリ(2)から出力した $1/2$  H分の現データ信号(3)と、該現データ信号(3)を1ライン遅延した1ライン遅延データ信号(6)と、該1ライン遅延データ信号(6)を1ライン遅延した2ライン遅延データ信号(7)と、該2ライン遅延データ信号(7)を1ライン遅延した3ライン遅延データ信号(19)と、該3ライン遅延データ信号(19)を1ライン遅延した4ライン遅延データ信号(20)とを生成する信号遅延回路(4)と、

前記信号遅延回路(4)で生成した前記現データ信号(5)と1ライン遅延データ信号(6)と2ライン遅延データ信号(7)と3ライン遅延データ信号(19)と4ライン遅延データ信号(20)から映像の色信号(21)と輝度信号(22)を生成する信号処理回路(9)とを有効にして、

前記メモリコントロール部(82)により前記フレームメモリ(2)を制御し、前記信号処理回路(9)で生成した前記色信号(21)と輝度信号(21)を前記フレームメモリ(2)から読み出したデータ信号(3)上に上書きするか他の記憶媒体に出力することで静止画を得、

動画処理モードにおいては、

前記撮像素子(18)から出力されたデータ信号(1)より、1 H分の現データ信号(3)と、該現データ信号(3)を1ライン遅延した1ライン遅延データ信号(53)と、該1ライン遅延データ信号(53)を1ライン遅延した2ライン遅延データ信号(54)とを生成する信号遅延回路(4)と、

前記信号遅延回路(4)で生成した前記現データ信号(3)と1ライン遅延データ信号(53)と2ライン遅延データ信号(54)から映像の色信号(21)と輝度信号(22)を生成する信号処理回路(9)とを有効にして動画を得ることを特徴とする画像信号処理装置。

【請求項5】 請求項4において、前記信号遅延回路

(4)は、 $(1/2)$  H分の容量をもつ第1のラインメモリ(23)と、 $(1/2)$  H分の容量をもつ第2のラインメモリ(24)と、 $(1/2)$  H分の容量をもつ第3のラインメモリ(25)と、 $(1/2)$  H分の容量をもつ第4のラインメモリ(26)とを備え、該信号遅延回路(4)は静止画処理モードと動画処理モードの2種の処理モードとそれらを切り替える手段を備え、静止画処理モードにおいては、

前記フレームメモリ(2)より出力される半画面分のデータ信号を前記第1のラインメモリ(23)に1ライン $(1/2)$  H分記憶して1ライン遅延データ信号

(6)を生成し、第1のラインメモリ(23)より出力されるデータ信号を前記第2のラインメモリ(24)に1ライン分記憶して2ライン遅延データ信号(7)を生成し、

前記第2のラインメモリ(24)より出力されるデータ信号を前記第3のラインメモリ(25)に1ライン分記憶して3ライン遅延データ信号(19)を生成し、

前記第3のラインメモリ(25)より出力されるデータ信号を前記第4のラインメモリ(26)に1ライン分記憶して4ライン遅延データ信号(20)を生成し、

動画処理モードにおいては、

1 Hづつ入力される入力データ信号(1)に対して、該入力データ信号(1)を、前記第1のラインメモリ(23)と第2のラインメモリ(24)に記憶し、

前記第1のラインメモリ(23)から読み出されるデータ信号を前記第3のラインメモリ(25)に記憶し、

前記第2のラインメモリ(24)から読み出されるデータ信号を前記第4のラインメモリ(26)に記憶し、

前記第1のラインメモリ(23)と第2のラインメモリ(24)から出力されるデータ信号を第1の選択器(50)により切り換えることで1ライン遅延データ信号(6)をリアルタイムで生成し、

前記第3のラインメモリ(25)と第4のラインメモリ(26)から出力されるデータ信号を第2の選択器(51)により切り換えることで2ライン遅延データ信号(7)をリアルタイムで生成することを特徴とする画像信号処理装置。

【請求項6】入力データ信号(1)を1フレーム分記憶するフレームメモリ(2)と、該入力データ信号(1)と該フレームメモリ(2)から出力されるデータ(3)を切り換える第1の選択器(75)と、

前記入力データ信号(1)を前記フレームメモリ(2)に1フレーム分記憶し、記憶したデータを左半画面ブロックと右半画面ブロックとに分けて各ブロック毎に読み出すように前記フレームメモリ(2)を制御するメモリコントロール部(82)と、

$(1/2)$  H分の容量をもち、前記第1の選択器(75)から出力されるデータ信号を $(1/2)$  H分記憶する第1のラインメモリ(23)と、

$(1/2)$  H分の容量をもち、前記第1のラインメモリ(23)から出力されるデータ信号(6)を $(1/2)$  H分記憶する第2のラインメモリ(25)と、

前記入力データ信号(1)とラインメモリ(25)から出力されるデータ(19)を切り換える第2の選択器(76)と、

$(1/2)$  H分の容量をもち、前記第2の選択器(76)から出力されるデータ信号を $(1/2)$  H分記憶する第3のラインメモリ(24)と、

$(1/2)$  H分の容量をもち、前記第3のラインメモリ(24)から出力されるデータ信号を $(1/2)$  H分記憶する第4のラインメモリ(26)と、

前記第1のラインメモリ(23)と第3のラインメモリ(24)から出力されるデータ信号を切り換えて1ライン遅延データ信号を生成する第3の選択器(50)と、

前記第2のラインメモリ(25)と第4のラインメモリ(26)から出力されるデータ信号を切り換えて2ライン遅延データ信号を生成する第4の選択器(51)と、

前記第1のラインメモリ(23)から出力されるデータ信号(6)と第3の選択器(50)から出力されるデータ信号(53)を切り換える第5の選択器(78)と、

前記第2のラインメモリ(25)から出力されるデータ信号(19)と第4の選択器(51)から出力されるデータ信号(54)を切り換える第6の選択器(79)とを備え、

前記第1の選択器(75)と第2の選択器(76)と第5の選択器(77)と第6の選択器(79)を同時に切り換えることで、

静止画処理の場合は、前記フレームメモリ(2)から出力されるデータ信号(3)を前記ラインメモリ(23)に記憶し、該ラインメモリ(23)から出力されるデータ信号は前記ラインメモリ(25)に記憶し、前記ラインメモリ(25)から出力されるデータ信号はラインメモリ(24)に記憶し、前記ラインメモリ(24)から出力されるデータ信号はラインメモリ(26)に記憶し、

前記フレームメモリ(2)から入力した現データ信号

(3)と、該第1のラインメモリ(23)で生成した1ライン遅延データ信号(6)と、該第2のラインメモリ(24)で生成した2ライン遅延データ信号(7)と、

該第3のラインメモリ(25)で生成した3ライン遅延データ信号(19)と、該第4のラインメモリ(26)で生成した4ライン遅延データ信号(20)とを出力し、

動画処理の場合は、入力データ信号(1)を第1のラインメモリ(23)と第2のラインメモリ(24)に記憶し、

前記第1のラインメモリ(23)から読み出されるデータ信号を第3のラインメモリ(25)に記憶し、前記第2

のラインメモリ (24) から読み出されるデータ信号を第 4 のラインメモリ (26) に記憶し、前記第 1 のラインメモリ (23) と第 2 のラインメモリ (24) から出力されるデータ信号から第 1 の選択器 (50) で 1 ライン遅延データ信号 (6) を生成し、前記第 3 のラインメモリ (25) と第 4 のラインメモリ (26) から出力されるデータ信号から第 2 の選択器 (51) で 2 ライン遅延データ信号 (7) を生成することを特徴とする画像信号処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ビデオカメラ等において動画データや静止画データを生成する画像信号処理装置に関する。

【0002】

【従来の技術】マルチメディアの普及に伴い、動画データや静止画データをコンピュータやワークステーション等に取り込むためのインタフェースとして、デジタルスチルカメラが注目されている。多量の画像を取り込むときなどには、スチルカメラは、従来から使用されているスキャナに比べて即時性や経済性に優れ、また、小型軽量化が可能であるので手軽に使用できるという利点がある。この経緯については、テレビジョン学会誌 Vol. 46, No. 7 (1992) 第 827 頁～828 頁において論じられている。

【0003】デジタルスチルカメラを実現するために使用する撮像素子としては、汎用性や従来のビデオカメラの技術を応用できる等の点から、現在のビデオカメラで一般的に使用されている画素混合方式の撮像素子を用いるのが望ましい。また、画素混合方式の撮像素子を用いた場合は、その読み出し方式を変更することにより、動画撮影に加えて静止画撮影にも使用することができる利点がある。次に、その説明を行なう。

【0004】画素混合方式の撮像素子を用いた動画撮影では、フィールド蓄積読み出しを行なう。フィールド蓄積読み出しは、画素混合方式の CCD 撮像素子において上下 2 画素のデータを素子内で混合して読み出すもので、その代表的なフィルタ配列を図 2 に示している。最初のフィールドにおいては、図 2 に示すように、水平走査毎に上下ラインが加算されて、A1, A2 の順番で信号が順次読み出される。また、次のフィールドにおいては、同様に、水平走査毎に上下ラインが加算されて、B1, B2 の順番で順次読み出される。この結果、センサーからは、水平走査毎に、 $(Mg + Ye)$ ,  $(G + Cy)$  と  $(G + Ye)$ ,  $(Mg + Cy)$  が交互に出力される。ここで、 $Wr = Mg + Ye$ ,  $Gb = G + Cy$ ,  $Gr = G + Ye$ ,  $Wb = Mg + Cy$  とすれば、撮像素子からのデータ信号は、現データ信号を  $S_{L-1}$ 、1 ライン遅延したデータ信号を  $S_{L-1-1}$ 、2 ライン遅延したデータ信号を  $S_{L-2}$  とし、図 3 に示すように表わされる。

【0005】画素混合方式の撮像素子を用いた静止画記録には、画素混合された各フィールドの出力データ信号をインターリーブして 1 フレームの画像を記録するフレームスチル画記録方式と、1 フィールドの画像のみを記録するフィールドスチル画記録方式とがある。フィールドスチル画記録方式の場合には、

(1) 特開平 1-143482 号公報に記載されているようなマトリクス補正ができなくなり垂直色モアレが増加する。

(2) 垂直方向の解像度が不足し、静止画としては十分な画質が得られない。

という問題がある。従って、静止画記録にはフレームスチル画記録方式が望ましいが、フレームスチル画記録方式の場合、移動量の大きい被写体ではブレが生じて 2 重像となる問題点がある。

【0006】このような問題を解決するため、図 4 に示すように、最初のフィールドにおいては、水平走査毎に 1 ラインずつ撮像素子内で画素データを混合せずにデータ信号を読み出し、また次のフィールドにおいても同様に、水平走査毎に 1 ラインずつデータ信号を読み出して静止画記録を行なう方式が開発されている。このように読み出されたデータ信号は、図 5 に示すようになる。この方式によれば、ブレが無く解像度が劣化しない静止画を得ることが可能となる。この読み出し方法をフレーム蓄積読み出し方法と呼び、この静止画記録方式をフルフレームスチル画記録方式と名付ける。この詳細は、特開平 4-274036 号公報及び特開平 4-331393 号公報に述べられている。以下、その方法について述べる。

【0007】画素混合方式の撮像素子から画素混合をしないでデータ信号を読み出すことは、この撮像素子の駆動パルスを制御することで実現できる。そして、フルフレームスチル画記録方式を実現するためには、撮像素子上に配列されたフィルタ配置の順に画像データ信号を 1 H (ライン) ずつ順次読み出すことが必要がある。しかしながら、撮像素子からは、1 枚のフレーム画を構成する画像データが、1 ラインおきに 1 フィールドずつ出力されるので、このままでは信号処理を行なうことができない。そこで検討を行なった結果、撮像素子から出力される 2 フィールド (1 フレーム) 分の画像データを蓄積可能なフレームメモリを用い、撮像素子から出力されるデータ信号の 1 フレーム分をフレームメモリに記憶した後に該メモリーからノンインタレース読み出しを行えば、フルフレームスチル画記録が可能になるという結論に達した。そして画像シミュレーションによる検討の結果では、画素混合方式の撮像素子を用いたフルフレームスチル画記録でも、スチル画としては十分な画質の記録が得られることがわかった。

【0008】撮像素子からフィールド蓄積読み出しを行なって動画処理を行なうときには、色信号及び輝度信号

を、共に、現データ信号、1ライン遅延データ信号、2ライン遅延データ信号の3ライン分のデータ信号から生成する。また、フレーム蓄積読み出しを行なって静止画処理を行なうときには、色信号に関しては、1ライン遅延データ信号、2ライン遅延データ信号、3ライン遅延データ信号の3ライン分のデータ信号から生成し、輝度信号は、現データ信号、1ライン遅延データ信号、2ライン遅延データ信号、3ライン遅延データ信号、4ライン遅延データ信号の5ライン分のデータ信号から生成する。図6は、この様子を示している。

【0009】このような画像信号処理を行なうためには、ビデオカメラ及びその他の映像機器には、画像データ信号の遅延信号を生成するための遅延回路が不可欠であることがわかる。

【0010】

【発明が解決しようとする課題】従来のデジタル信号処理では、遅延回路としてメモリを用いている。しかし、全信号処理回路を1つのICに1チップ化しようとするときには、チップ面積や消費電力に占める前記メモリの比重が大きくなる。静止画信号処理を行なうときには現データ信号～4ライン遅延データ信号を生成するための4H（ライン）分のラインメモリが必要となるが、これらのラインメモリをICに内蔵しようすると該ICのチップ面積の増加や消費電力が増大するといった問題が発生する。

【0011】従って、本発明の目的は、画像データ信号を遅延するために使用するメモリを少なくすることができる画像信号処理装置を提供することにある。

【0012】

【課題を解決するための手段】本発明は、この目的を達成するために、1画面分のデータを記憶するフレームメモリと、1画面を水平方向にn分割して各ブロック毎にデータを読み出すようにフレームメモリを制御するメモリコントロール部と、フレームメモリから読み出された1ライン分（ $(1/n)$  H分）のデータを記憶する第1の $(1/n)$  Hラインメモリと、第1のラインメモリから出力されるデータ信号を記憶する第2の $(1/n)$  Hラインメモリと、第2のラインメモリから出力されるデータ信号を記憶する第3の $(1/n)$  Hラインメモリと、以下第 $(m-1)$ のラインメモリから出力されるデータ信号を記憶する第mの $(1/n)$  Hラインメモリと、これらのメモリを制御するメモリコントロール部を設けたことにある。

【0013】

【作用】画素混合方式の撮像素子で静止画を撮影する場合、その出力データ信号はフィールド単位となる。データ信号は、フレームメモリにノンインタレースで記憶した後に読み出しを行ない処理をする。静止画の場合は動画と違ってリアルタイムの処理が要求されないため、画面を水平方向に分割して処理することが可能となる。以

下、水平方向に2分割して画像処理をする場合の手順を説明する。

【0014】（1）フレームメモリに書き込んだデータを、 $(1/2)$  H分ずつ左半画面分を読み出して処理を行なう。

【0015】（2）左半画面分の処理データを再びフレームメモリに書き込む。

【0016】（3）残り右半画面分のデータを読み出し処理を行なう。

【0017】（4）右半画面分の処理データを再びフレームメモリに書き込む。

【0018】この方式により静止画処理を行なう場合は、1ライン分のデータを遅延させるには $(1/2)$  H分の容量のメモリですむ。そのため、4ライン分の遅延データ信号を、

$$(1/2) H \times 4 = 2 H \text{ 分}$$

の容量のメモリで生成できる。動画処理の場合には従来どおり2H分の容量のメモリを用いたりリアルタイム処理となるため、2H分のメモリにより動画及び静止画の両方の処理が可能となる。

【0019】なお、一枚の画面を左半画面と右半画面とに分けて処理をする場合、完全に左半分と右半分とで独立した信号処理を行なえば、左右の画面の境目で不連続部分が生じ画面上で歪となる。これは信号処理で水平方向のフィルタ処理を行なっているためであり、この不連続が生じないようにするために次のような工夫を行なう。

【0020】撮像素子からフレームメモリにデータを書き込む際には、あらかじめ数画素分のオフセットを水平方向のアドレスにもたせて書き込むようにする。次に左半画面分の処理結果を再びフレームメモリに書き込む際にはアドレス0から書き始めるようにすれば、水平方向に数画素分の上書きされないデータが残る。そうすれば、右半画面分の処理をする際に、水平方向のフィルタ処理が左画面から右画面に連続して行なうことができ、画面中央部で歪を生じることなくフレーム静止画を得ることができる。

【0021】以上、デジタルカメラの信号処理について、現データ信号～4ライン遅延データ信号までを2H分の容量のラインメモリで生成する信号遅延処理を述べたが、フレームメモリを用いて静止画処理を行なう場合は、水平分割数を増やすことによりより多くの遅延データ信号が得られる。

【0022】ここで、フレームメモリと1H分のラインメモリから現データ信号～mライン遅延データ信号を生成する方法につき説明する。フレームメモリに記憶した1画面分のデータを遅延回路に出力するとき、1画面を水平方向にn等分したブロック毎にデータを読み出す。読み出したデータは第1の $(1/n)$  Hラインメモリに記憶し、1ライン遅延データ信号を生成する。次に第1

のラインメモリから出力されるデータ信号を第2の $(1/n)$  Hラインメモリに記憶することにより2ライン遅延データ信号を生成し、以下同様に、第mの $(1/n)$  Hラインメモリによりmライン遅延データ信号を生成することができる。

【0023】このようにすれば、1ライン分の遅延データ信号を生成するのに $(1/n)$  H分の容量のメモリで足りるので、現データ信号～mライン遅延データ信号を $(1/n) H \times m = (m/n) H$ の容量のメモリで生成でき、垂直方向のフィルタリング等で多数のラインを使用するときなどにメモリの量を軽減できる。また、動画のリアルタイム処理を行なう場合には $(m/n) H$ のラインメモリとして使用することができる。

【0024】

【実施例】以下、本発明の実施例を図面を参照して説明する。

【0025】図1は、本発明になる画像信号処理装置のブロック図である。この画像信号処理装置は、フレームメモリと $(1/n)$  H分の容量のラインメモリをm個用いて現データ信号～mライン遅延データ信号を生成する回路構成のものである。ここで、Hは、水平方向1ライン分の画像データ（画素）数である。

【0026】図1において、1は入力データ信号、2はフレームメモリ、3は前記フレームメモリ3から出力されるデータ信号、4は信号遅延回路、5は前記信号遅延回路4から出力される現データ信号、6は同1ライン遅延データ信号、7は同2ライン遅延データ信号、8は同nライン遅延データ信号、9は信号処理回路、10は前記信号処理回路9で処理して出力されたデータ信号、82は前記フレームメモリ2のアドレス信号、83は前記アドレス82を発生するメモリコントロール部である。

【0027】フレームメモリ2は、1フレーム分の入力データ信号1を記憶する。フレームメモリ2に記憶した画像データ信号は、メモリコントロール部83により制御されるアドレス信号82により、画面を水平方向にn等分して区分した各ブロック毎に読み出される。読み出された画像データ信号は、水平方向の長さが $(1/n) H$ となるので、 $(1/n) H$ の容量のメモリで1ライン遅延データ信号を生成することができる。信号遅延回路4は、フレームメモリ2から読み出したデータ信号3から現データ信号5、1ライン遅延データ信号6、2ライン遅延データ信号7…mライン遅延データ信号8までのデータ信号を生成し、信号処理回路9に出力する。

【0028】信号処理回路9は、信号遅延回路4で生成した現データ信号5～mライン遅延データ信号8を処理した処理結果を出力データ信号10として出力する。出力データ信号10は、再びフレームメモリ2の前記読み出したデータ上に書き込むか、または、他の記憶装置に出力される。このような処理を1画面にわたりn回繰り返すことで、処理された1画面分の画像データ信号をフ

レームメモリ2に得ることができる。フレームメモリ2に記憶した画像データ信号（処理結果）は、外部出力データ信号94として外部に出力される。

【0029】ここで、フレームメモリ2からのデータ読み出し方法について、図7を参照して説明する。同図において、2はフレームメモリ、11はフレームメモリ内の画像データ信号をn等分したうちの最初の1ブロック、12は次の1ブロック、13は最後の1ブロック、3は該フレームメモリ2から読み出されるデータ信号である。

【0030】フレームメモリ2に記憶された1画面分の画像データは、図7に示すように、水平方向にn等分した状態で、メモリコントロール部83により制御されたアドレス信号82により、最初の1ブロック11から読み出される。読み出したデータ信号3は、信号遅延回路4に送られる。信号遅延回路4で生成した現データ信号5～mライン遅延データ信号8に対しては信号処理回路9で所定の信号処理を行ない、処理した結果を再びフレームメモリ2のブロック11に上書きする。次に、ブロック12のデータを同様に読み出し、処理した結果をブロック12に上書きする。この処理を最後のブロック13まで繰り返せば、1フレーム全体の画像データに対する処理が完了し、この処理結果がフレームメモリ2に記憶されることになる。

【0031】次に、前記信号遅延回路4による現データ信号5～mライン遅延データ信号8の生成について、図8を参照して説明する。同図において、1は入力データ信号、2はフレームメモリ、3は前記フレームメモリ2から出力されるデータ信号、4は信号遅延回路、14は1ライン遅延データ信号を生成するための $(1/n) H$ の容量をもつラインメモリ、6は前記ラインメモリ14により生成した1ライン遅延データ信号、15は2ライン遅延データ信号を生成するための $(1/n) H$ の容量をもつラインメモリ、6は前記ラインメモリ15により生成した2ライン遅延データ信号、16はmライン遅延データ信号を生成するための $(1/n) H$ の容量をもつラインメモリ、8は前記ラインメモリ16により生成したmライン遅延データ信号、82は前記フレームメモリ2に対するアドレス信号、83は前記アドレス信号82を発生するメモリコントロール部である。

【0032】フレームメモリ2からは、図7に示すように、画面を水平方向にn等分して区分した各ブロック毎にデータを読み出す。これはメモリコントロール部83によりフレームメモリ2のアドレス信号82を制御して行なう。読み出したデータは、水平方向の長さが $(1/n) H$ であるので、 $(1/n) H$ の容量のラインメモリで1ライン（ $H/n$ ライン長）分の遅延データ信号を生成できる。信号遅延回路4では、フレームメモリ2から読み出したデータ信号3を現データ信号5として出力すると共に $(1/n) H$ ラインメモリ14に記憶する。次

の1ライン ( $H/n$ ライン長) 分のデータ信号3がフレームメモリ2から入力されると、 $(1/n)$  Hラインメモリ14からは1ライン遅延データ信号6が出力され、同データ信号6が $(1/n)$  Hラインメモリ15に記憶される。以下、同様の遅延処理を行なってnライン目のデータ信号が信号遅延回路4に入力したとき、 $(1/n)$  Hラインメモリ16からmライン遅延データ信号8が出力される。このように、フレームメモリ2内部のデータを水平方向にn分割して各ブロック毎に処理すれば、1 H分のメモリ容量で現データ信号5～mライン遅延データ信号8を生成することができ、遅延データ信号生成のためのラインメモリの容量を軽減することができる。

【0033】次に、前記信号遅延回路4によりリアルタイムで1ライン遅延データ信号を生成するための遅延処理について、図9を参照して説明する。同図において、1は入力データ信号、4は信号遅延回路、14、15…16は $(1/n)$  Hの容量をもつラインメモリ、17は1ライン遅延データ信号である。

【0034】信号遅延回路4に入力される入力データ信号1のうちの最初の $(1/n)$  H分がラインメモリ14に記憶される。次に新たな $(1/n)$  H分のデータ信号1が入力されると、ラインメモリ14の内容(記憶データ)が押し出されて後段のラインメモリ15に記憶(移動)され、新たに入力した入力データ信号1は前段のラインメモリ14に記憶される。以下同様に、更に新たなデータが前段のラインメモリ14に入力されると、ラインメモリ14、15に記憶されているデータは、順次に後段のラインメモリに記憶(移動)されていき、 $m/n$  H分のデータ信号が入力されたときには、信号遅延回路4内部のラインメモリ14～16がデータ信号で満ちてリアルタイムで1ライン遅延データ信号17が生成される。

【0035】図10は、本発明になる画像信号処理装置を使用したビデオカメラ等においてフレーム静止画を生成、記録するときの信号処理方式を示している。同図において、18は画素混合方式の撮像素子、2はデータ信号を1フレーム分記憶するためのフレームメモリ、82は前記フレームメモリ2のアドレス信号、83は前記アドレス信号82を生成するメモリコントロール部、3は前記フレームメモリ2から読み出した0.5 H分のデータ信号、4は現データ信号～4ライン遅延データ信号を生成するための信号遅延回路、5は前記信号遅延回路4で生成した現データ信号、6は同1ライン遅延データ信号、7は同2ライン遅延データ信号、19は同3ライン遅延データ信号、20は同4ライン遅延データ信号、9は色信号及び輝度信号を生成するための信号処理回路、21は前記信号処理回路9で生成した色信号、22は同輝度信号である。

【0036】画素混合方式の撮像素子18からフレーム

読み出しにより得た入力データ信号1は、1フレーム分をフレームメモリ2に書き込む。このとき、水平方向のアドレスには数画素分のオフセットをもたせて書き込むようにする。これは、画面中央部の処理を連続した状態で行なえるようにするためである。次に、メモリコントロール部83によりフレームメモリ2へのアドレス信号82を制御して、このフレームメモリ2から左半画面分のデータ(1水平走査あたり0.5 H分)を順次に読み出して信号遅延回路4に入力する。信号遅延回路4に入力したデータ信号3は、図11に示す遅延方式で遅延することにより、現データ信号5、1ライン遅延データ信号6、2ライン遅延データ信号7、3ライン遅延データ信号19、4ライン遅延データ信号20を生成する。遅延回路4で生成した現データ信号5～4ライン遅延データ信号20は、信号処理回路9に送り、色信号21及び輝度信号22を生成する。生成した色信号21及び輝度信号22は、外部の記憶装置に出力されるか、もしくはフレームメモリ2の左半画面分の領域にアドレス0から書き込む。右半画面についても同様の処理を行えば、2ライン分の容量のメモリで現データ信号～4ライン遅延データ信号を用いた静止画処理を行なうことができ、高精細のフルフレーム静止画をフレームメモリ2に得ることができる。フレームメモリ2からは外部に画像データ信号94を出力する。

【0037】図11は、本発明になる画像信号処理装置を使用したデジタルスチルカメラの静止画処理における回路構成を示している。同図において、1は入力データ信号、2はフレームメモリ、3は前記フレームメモリ2から読み出されるデータ信号、5は現データ信号、23は1ライン遅延データ信号生成用ラインメモリ、6は1ライン遅延データ信号、24は2ライン遅延データ信号生成用ラインメモリ、7は2ライン遅延データ信号、25は3ライン遅延データ信号生成用ラインメモリ、19は3ライン遅延データ信号、26は4ライン遅延データ信号生成用ラインメモリ、20は4ライン遅延データ信号、27は各ラインメモリ23～26に供給するアドレス信号、4は現データ信号～4ライン遅延データ信号を生成する前記信号遅延回路である。

【0038】入力されるデータ信号1は、一旦、フレームメモリ2に1画面分記憶する。このとき、水平方向のアドレスには数画素分のオフセットをもたせて書き込むようにする。次に、フレームメモリ2からデータをノンインタレースで左半画面分(0.5 H分)だけ読み出して信号遅延回路4に入力する。

【0039】信号遅延回路4は、入力したデータ信号3を0.5 H分の容量の1ライン遅延データ信号生成用ラインメモリ23に送り、1ライン遅延データ信号6を生成する。以下同様に、2ライン遅延データ信号生成用メモリ24、3ライン遅延データ信号生成用メモリ25、4ライン遅延データ信号生成用メモリ26で、それぞ

れ、2ライン遅延データ信号7、3ライン遅延データ信号19、4ライン遅延データ信号20を生成し、後段の信号処理回路9に送る。

【0040】図12は、本発明になる画像信号処理装置における前記静止画処理の際に各ラインメモリ23～26にデータを書き込む場合のアドレス信号及び書き込み信号のタイミングを示している。同図において、28は信号遅延回路4の入力データ信号(3)、27は各ラインメモリ23～26のアドレス信号、29はラインメモリ23の書き込み信号、30はラインメモリ24の書き込み信号、31はラインメモリ25の書き込み信号、32はラインメモリ26の書き込み信号、33はラインメモリ23に記憶したデータ、34はラインメモリ24に記憶したデータ、35はラインメモリ25に記憶したデータ、36はラインメモリ26に記憶したデータである。なお、各ラインメモリ23～26は、図11における各ラインメモリ23～26に対応する。

【0041】入力データ信号28及びアドレス信号27は、同じ周期でラインメモリ23に入力する。入力データ信号28は、書き込み信号29によってラインメモリ23におけるアドレス信号27の番地に書き込む。また、ラインメモリ23から出力されるデータ信号は、書き込み信号30によってラインメモリ24におけるアドレス信号27の番地に書き込む。以下同様に、書き込み信号31と書き込み信号32により、ラインメモリ24、25からの出力データをそれぞれラインメモリ25、26に書き込む。

【0042】図13は、本発明になる画像信号処理装置における前記静止画処理の際に各ラインメモリ23～26からデータを読み出す場合のアドレス信号及び読み出し信号のタイミングを示している。同図において、27は各ラインメモリ23～27のアドレス信号、37はラインメモリ23の読み出し信号、38はラインメモリ24の読み出し信号、39はラインメモリ25の読み出し信号、40はラインメモリ26の読み出し信号、41はラインメモリ23から読み出される読み出しデータ信号、42はラインメモリ24から読み出される読み出しデータ信号、43はラインメモリ25から読み出される読み出しデータ信号、44はラインメモリ26から読み出される読み出しデータ信号、45は各ラインメモリ23～26から読み出される各読み出しデータ信号の位相を揃えるための同期信号、46は読み出しデータ信号41を同期信号45と同相にした出力データ信号、47は読み出しデータ信号42を同期信号45と同相にした出力データ信号、48は読み出しデータ信号43を同期信号45と同相にした出力データ信号、49は読み出しデータ信号44を同期信号45と同相にした出力データ信号を表わしている。なお、各ラインメモリ23～26は、図11の各ラインメモリ23～26に対応している。

【0043】アドレス信号27及びメモリ読み出し信号37は同じ周期でラインメモリ23に入力する。ラインメモリ23に記憶されているデータは、アドレス信号27の番地から読み出し信号37により該ラインメモリ23の読み出しデータ信号41として読み出される。以下同様に、読み出し信号38、読み出し信号39、読み出し信号40により各ラインメモリ24～26のデータを読み出してデータ信号42～44を出力する。読み出した各読み出しデータ信号41～44は、同期信号45により同期化してそれぞれ出力データ信号46～49とし、該信号遅延回路4から出力する。

【0044】図14は、本発明になる画像信号処理装置による動画処理のための遅延処理回路構成を示している。同図において、4は信号遅延回路、3はこの信号遅延回路4の入力データ信号、23、24は1ライン遅延データ信号生成用ラインメモリ、50、51は2系統のデータ信号を同時化するための選択器、53は1ライン遅延データ信号、25、26は2ライン遅延データ信号生成用ラインメモリ、54は2ライン遅延データ信号、27は各ラインメモリ23～26にデータを書き込み、または読み出すためのアドレス信号、52は2系統のデータ信号を同時化するために前記選択器50、51を切り換える切り換え信号である。

【0045】信号遅延回路4に入力した1H分のデータ信号3は、0.5H分をラインメモリ23に記憶し、残りの0.5H分をラインメモリ24に記憶する。次の1H分の処理では、ラインメモリ23から出力されるデータ信号をラインメモリ25に記憶し、ラインメモリ24から出力されるデータ信号をラインメモリ26に記憶する。

【0046】また、ラインメモリ23、24から出力されたデータ信号は、選択器50で同時化して1ライン遅延データ信号53を生成する。そして、ラインメモリ25、26から出力されたデータ信号は、選択器51で同時化して2ライン遅延データ信号54を生成する。

【0047】図15は、本発明になる画像信号処理装置による前記動画処理の際にラインメモリ23～26にデータを書き込む場合のアドレス信号と書き込み信号のタイミングを示している。同図において、55は入力データ信号(3)、27は各ラインメモリ23～26に供給するアドレス信号、29はラインメモリ23に対する書き込み信号、30はラインメモリ24に対する書き込み信号、31はラインメモリ25に対する書き込み信号、32はラインメモリ26に対する書き込み信号、56はラインメモリ23に記憶された0.5H分のデータ信号、57はラインメモリ24に記憶された0.5H分のデータ信号、58はラインメモリ25に記憶された0.5H分のデータ信号、59はラインメモリ26に記憶された0.5H分のデータ信号である。なお、各ラインメモリ23～26は、図14の各ラインメモリ23～26

に対応する。

【0048】撮像素子からサンプリング周波数  $f_s$  (周期  $1/f_s$ ) で読み出された入力データ信号 55 は、その 2 倍の周期 ( $2/f_s$ ) のアドレス信号 27 でラインメモリ 23, 24 に書き込まれる。

【0049】ラインメモリ 23 に対する書き込み信号 29 は、入力データ信号 55 の奇数番目のデータ信号 (図中で  $D_{11}$ ,  $D_{13}$ ,  $D_{15}$ ...) に同期した形で該ラインメモリ 23 に入力する。その結果、図に示すように、ラインメモリ 23 のアドレス 0 にはデータ信号  $D_{11}$  が、アドレス 1 にはデータ信号  $D_{13}$  が、アドレス 2 にはデータ信号  $D_{15}$  がそれぞれ書き込まれることになる。

【0050】ラインメモリ 24 に対する書き込み信号 30 は、入力データ信号 55 の偶数番目の信号 (図中で  $D_{12}$ ,  $D_{14}$ ,  $D_{16}$ ...) に同期した形で該ラインメモリ 24 に入力する。その結果、図に示すように、ラインメモリ 24 のアドレス 0 にはデータ信号  $D_{12}$  が、アドレス 1 にはデータ信号  $D_{14}$  が、アドレス 2 には信号  $D_{16}$  がそれぞれ書き込まれることになる。このように、0.5H の容量をもつ 2 つのラインメモリ 23, 24 に対して 1 ライン目の 1H 分のデータ信号を記憶する。2 ライン目の 1H 分のデータ信号 55 が入力されたときは、入力した 2 ライン目のデータ信号 55 は、ラインメモリ 23, 24 にそれぞれ 0.5H 分記憶される。そして、ラインメモリ 23 から出力される 1 ライン目の 0.5H 分のデータ信号はラインメモリ 25 に、ラインメモリ 24 から出力される残りの 0.5H 分のデータ信号はメモリ 6 にそれぞれ記憶される。

【0051】図 16 は、本発明になる画像信号処理装置による前記動画処理の際にラインメモリ 23~26 からデータを読み出す場合のアドレス信号と読み出し信号のタイミングを示している。同図において、27 はラインメモリ 23~26 からデータを読み出す際のアドレスを示すアドレス信号、37 はラインメモリ 23 からデータを読み出すための読み出し信号、38 はラインメモリ 24 からデータを読み出すための読み出し信号、39 はラインメモリ 25 からデータを読み出すための読み出し信号、40 はラインメモリ 26 からデータを読み出すための読み出し信号、60 はラインメモリ 23 から読み出した読み出しデータ信号、61 はラインメモリ 24 から読み出した読み出しデータ信号、62 はラインメモリ 25 から読み出した読み出しデータ信号、63 はラインメモリ 26 から読み出した読み出しデータ信号、45 は、ラインメモリ 23, 24 からの読み出しデータ信号 60, 61 の位相を揃え、ラインメモリ 25 からの読み出しデータ信号 62, 63 の位相を揃えるための同期信号、64 は読み出しデータ信号 60 を同期信号 45 と同相にした読み出しデータ信号、65 は読み出しデータ信号 61 を同期信号 45 と同相にした読み出しデータ信号、66 は読み出しデータ信号 62 を同期信号 45 と同相にした

読み出しデータ信号、67 は読み出しデータ信号 63 を同期信号 45 と同相にした読み出しデータ信号である。なお、各ラインメモリ 23~26 は、図 14 の各ラインメモリ 23~26 に対応する。

【0052】アドレス信号 27 とラインメモリ 23 に対する読み出し信号 37, ラインメモリ 24 に対する読み出し信号 38, ラインメモリ 25 に対する読み出し信号 39 及びラインメモリ 26 に対する読み出し信号 40 は、メモリにデータを書き込むときと同じ周期 ( $2/f_s$ ) で、各ラインメモリ 23~26 に入力される。ラインメモリ 23 では、入力したアドレス信号 27 の番地に記憶しているデータを読み出し信号 37 により読み出す。また、ラインメモリ 24~26 でも同様に、入力したアドレス信号 27 の番地に記憶しているデータを各読み出し信号 38~40 により読み出す。その結果、各ラインメモリ 23~26 の各読み出しデータ信号 60~63 は、各読み出し信号 37~40 と同じ周期 ( $2/f_s$ ) で読み出される。

【0053】そして、各読み出しデータ信号 60~63 は、同期信号 45 により位相が揃えられ、出力データ信号 64~67 として出力される。

【0054】図 17 は、本発明になる前記画像信号処理装置による前記動画処理において、各ラインメモリ 23~26 から読み出した出力データ信号 64~67 をセレクタ 50, 51 により同時化する方法を示している。同図において、64 はラインメモリ 23 からの出力データ信号、65 はラインメモリ 24 からの出力データ信号、66 はラインメモリ 25 からの出力データ信号、67 はラインメモリ 26 からの出力データ信号、50 はデータ信号 64 とデータ信号 65 を同時化するためのセレクタ、51 はデータ信号 66 とデータ信号 67 を同時化するためのセレクタ、52 はこれらのセレクタ 50, 51 の入力を切り換える切り換え信号、68 はデータ信号 64 とデータ信号 65 を同時化した出力データ信号、69 はデータ信号 66 とデータ信号 67 を同時化した出力データ信号を表わしている。

【0055】セレクタ 50, 51 は、切り換え信号 52 がハイレベルのときに上側の入力データ信号を選択し、切り換え信号 52 がローレベルのときに下側の入力データ信号を選択する。切り換え信号 52 のレベルの変化とセレクタ 50, 51 の各出力データ信号 68, 69 の関係は、図示のようになる。

【0056】図 18 は、本発明になる画像信号処理装置において入力される画像 (入力データ信号) をフレームメモリ 2 に記録する際の記録方式を示している。同図において、2 はフレームメモリ、70 はこのフレームメモリ 2 に記憶した 1 画面分の入力データのうちの左半画面分のデータ、71 は残りの右半画面分のデータ、72 は処理して再記憶した左半画面分の画像データ信号、73 は最初に記憶したデータ信号 70, 71 を処理した画像デ

ータ信号 72 をフレームメモリ 2 に再書き込みする際のアドレスの差分、74 は最初に記憶したデータ信号 70 のうちで処理済みデータ信号 72 により上書きされずに残ったデータ信号 70 のアドレスの差分である。

【0057】図 10 に示した方式で静止画処理する場合、最初に、撮像素子 18 から出力される 1 フレーム分の入力データ信号 1 をフレームメモリ 2 に記憶する。このときは、水平方向に  $n$  画素分ずらした位置（水平方向のアドレス  $n$  の場所）からデータ信号 70、71 を書き始めるようにする。次に、記憶したデータのうち左半画面分のデータ信号 70 を読み出して信号処理を行ない、処理結果を処理済みデータ信号 72 として水平方向のアドレスが 0 の位置より書き始める。これによって、中央部より左の  $n$  画素が上書きされずに残るため、次に右半画面分のデータ信号 71 に対して水平方向の信号処理を行なうとき、中央部のデータ（左半画面のデータ 70 と右半画面のデータ 71 の境目）に対し連続的な処理が行なえるようになる。従って、画像に歪を生じることなくフルフレームの静止画を生成できるようになる。なお、この処理は、画面を水平方向に  $n$  分割し、現データ信号  $\sim n$  ライン遅延データ信号を生成し、処理する場合にも適用すると有効である。

【0058】図 19 は、本発明になる画像信号処理装置における静止画処理のための遅延データ信号と動画処理のための遅延データ信号と共通の回路で生成するようにした信号遅延回路 4 の実施例を示している。同図において、1 は入力データ信号、2 はフレームメモリ、82 はこのフレームメモリ 2 のアドレス信号、83 はこのアドレス信号 82 を生成するメモリコントロール部、3 は前記フレームメモリ 2 から出力したデータ信号、75 は静止画処理と動画処理のときに該信号遅延回路 4 に入力するデータ信号を切り換える選択器、4 はこの信号遅延回路、23 は 0.5 H の容量をもつ第 1 のラインメモリ、6 は第 1 のラインメモリ 23 から出力されるデータ信号、24 は 0.5 H の容量をもつ第 2 のラインメモリ、7 は第 2 のラインメモリ 24 から出力されるデータ信号、25 は 0.5 H の容量をもつ第 3 のラインメモリ、19 は第 3 のラインメモリ 25 から出力されるデータ信号、26 は 0.5 H の容量をもつ第 4 のラインメモリ、20 は第 4 のラインメモリ 26 から出力されるデータ信号、50 は第 1 のラインメモリ 23 から出力されたデータ信号 6 と第 2 のラインメモリ 24 から出力されたデータ信号 7 を切り換える選択器、53 は選択器 50 から出力されるデータ信号、51 は第 3 のラインメモリ 25 から出力されたデータ信号 19 と第 4 のラインメモリ 26 から出力されたデータ信号 20 を切り換える選択器、54 は選択器 51 から出力されるデータ信号、27 は前記各ラインメモリ 23  $\sim$  26 に供給するアドレス信号、52 は 2 系統のデータ信号を同時化するための切り換え信号、76 は静止画処理と動画処理のときに第 2 のライ

ンメモリ 24 の入力データ信号を切り換える選択器、77 は静止画処理と動画処理のときに 1 ライン遅延データ信号の出力データを切り換える選択器、78 は選択器 77 からの出力データ信号、79 は静止画処理と動画処理のときに 2 ライン遅延データ信号の出力データを切り換える選択器、80 は選択器 79 からの出力データ信号、81 は静止画処理と動画処理を切り換える切り換え信号を示している。

【0059】静止画処理を行なう場合は、静止画処理／動画処理切り換え信号 81 をローレベルにする。そのとき、この信号遅延回路 4 の構成は、図 11 に示す信号遅延回路と等価になる。入力データ信号 1 は、フレームメモリ 2 に 1 画面分記憶する。このとき、水平方向のアドレスに数画素分のオフセットをもたせて書き込むようにする。次に、フレームメモリ 2 から、メモリコントロール部 83 によりノンインタレースで左半画面分（0.5 H 分）だけデータを読み出す。選択器 75 は、このとき、フレームメモリ 2 から出力されるデータ信号 3 を選択するので、信号遅延回路 4 にはこのデータ信号 3 が入力する。

【0060】信号遅延回路 4 は、入力した現データ信号 3 を第 1 のラインメモリ 23 に送り、1 ライン分遅延したデータ信号 6 を生成する。以下同様に、第 2 のラインメモリ 24、第 3 のラインメモリ 25、第 4 のラインメモリ 26 で、それぞれ、2 ライン遅延データ信号 7、3 ライン遅延データ信号 19、4 ライン遅延データ信号 20 を生成する。選択器 77 では第 1 のラインメモリ 23 から出力されるデータ信号 6 を選択し、選択器 79 では第 3 のラインメモリ 25 から出力されるデータ信号 19 を選択することにより、該信号遅延回路 4 から 1 ライン遅延データ信号 78 と 2 ライン遅延データ信号 80 として出力する。選択器 76 では第 3 のラインメモリ 25 から出力されるデータ信号 19 を選択することにより、第 2 のラインメモリ 24 には第 3 のラインメモリ 25 から出力されるデータ信号 19 が入力して 3 ライン遅延データ信号 7 を生成する。また、第 4 のラインメモリ 26 には第 2 のラインメモリ 24 から出力されるデータ信号 7 が入力して 4 ライン遅延データ信号 20 を生成する。

【0061】動画処理をする場合は、静止画処理／動画処理切り換え信号 81 をハイレベルにする。そのとき、この信号遅延回路 4 の構成は、図 14 に示す信号遅延回路と等価になる。選択器 75 は、このとき、入力データ信号 1 を選択するので、信号遅延回路 4 にはこの入力データ信号 1 が入力する。信号遅延回路 4 に入力した入力データ信号 1 は、現データ信号 21 となる。この現データ信号 21 は、1 H 分のうちの 0.5 H 分をラインメモリ 23 に記憶する。選択器 76 は現データ信号 21 を選択して、残りの 0.5 H 分をラインメモリ 24 に記憶する。次の 1 H 分の信号処理では、ラインメモリ 23 から出力されるデータ信号 6 をラインメモリ 25 に、ライン

メモリ 24 から出力されるデータ信号 7 をラインメモリ 26 にそれぞれ記憶する。このときの入力データ信号、アドレス信号及びメモリ書き込み信号のタイミングは、図 15 に示すとおりである。

【0062】また、ラインメモリ 23, 24 から出力したデータ信号 6, 7 は、選択器 50 で同時化して 1 ライン遅延データ信号 53 を生成する。そして、ラインメモリ 25, 26 から出力したデータ信号 19, 20 は、選択器 51 で同時化して 2 ライン遅延データ信号 54 を生成する。

【0063】選択器 77 は 1 ライン遅延データ信号 53 を選択し、選択器 79 は 2 ライン遅延データ信号 54 を選択するので、この信号遅延回路 4 は、1 ライン遅延データ信号 78 としてデータ信号 53 を出力し、2 ライン遅延データ信号 80 としてデータ信号 54 を出力する。

【0064】なお、各メモリに供給する書き込み信号、読み出し信号、アドレス信号は、図 12, 図 13, 図 15, 図 16 からわかるように、静止画処理と動画処理とで共通になり、同じタイミングで静止画／動画の信号処理ができるので回路規模を少なくすることができる。

【0065】この結果、この処理回路によれば、フレームメモリ 2 及び 2 H 分の容量のラインメモリ 23～26 で、現データ信号～4 ライン遅延データ信号を使用する静止画処理と、現データ信号～2 ライン遅延データ信号を使用する動画処理とに対応することができ、回路規模とメモリ容量の削減を実現することができる。

【0066】図 20 は、本発明になる画像信号処理装置における信号処理回路 9 のブロック図である。同図において、5 は信号遅延回路 4 から出力される現データ信号、6 は 1 ライン遅延データ信号、7 は 2 ライン遅延データ信号、19 は 3 ライン遅延データ信号、20 は 4 ライン遅延データ信号、84 は色信号生成回路、85 は補色信号を分離及び補間する色分離回路、86 は補色信号から RGB 原色信号を生成するマトリクス回路、87 はホワイトバランス回路、88 は  $\gamma$  補正回路、89 は RGB 原色信号から色差信号を生成する色差マトリクス回路、21 は色差信号、90 は輝度信号生成回路、91 は低域輝度信号生成回路、92 は垂直エンハンサ信号生成回路、93 は加算回路、22 は輝度信号である。

【0067】信号遅延回路 4 から出力される現データ信号 5～4 ライン遅延データ信号 20 のうち、1 ライン遅延データ信号 6, 2 ライン遅延データ信号 7, 3 ライン遅延データ信号 19 は、色分離回路 85 に入力する。色分離回路 85 は、入力した 3 ラインのデータ信号 6, 7, 19 から補色信号を分離及び補間し、マトリクス回路 86 に送る。マトリクス回路 86 は、入力した補色信号に対してマトリクス演算を行なって RGB 原色信号を生成し、ホワイトバランス回路 87 に送る。ホワイトバランス回路 87 は、光源の明るさに応じて RGB 原色信号のゲインを調節して  $\gamma$  補正回路 88 に送る。 $\gamma$  補正回

路 88 は、入力した RGB 原色信号に  $\gamma$  補正を施して色差マトリクス回路 89 に送る。色差マトリクス回路 89 は、入力した RGB 原色信号に対してマトリクス演算を施して、 $R-Y$ ,  $B-Y$  の色差信号 21 を生成する。

【0068】輝度信号生成回路 90 は、現データ信号 5～4 ライン遅延データ信号 20 を入力する。低域輝度信号生成回路 91 は、入力した 2 ライン遅延データ信号に対して、水平方向のフィルタ処理と輪郭補正を施して低域輝度信号を生成する。垂直エンハンサ信号生成回路 92 は、現データ信号 5～4 ライン遅延データ信号 20 から垂直輪郭補正信号を生成する。加算回路 93 は、前記低域輝度信号と垂直輪郭補正信号を加算して輝度信号 22 を生成する。

【0069】

【発明の効果】本発明によれば、1 H 分のメモリ容量があれば現データ信号～ $n$  ライン遅延データ信号を生成できるので、映像機器等において多数ラインによる垂直方向のフィルタリング等を行なうときなどに少ない容量のメモリで高画質な画像を得ることができる。

【0070】また、デジタルカメラにおける信号処理では、2 H 分の容量のメモリにより、現データ信号～4 ライン遅延データ信号を用いた静止画処理と現データ信号～2 ライン遅延データ信号を用いた動画処理を実現することができ、高精細のフレーム静止画及びフィールド画（動画）を得ることができる。

【図面の簡単な説明】

【図 1】本発明になる画像信号処理装置のブロック図である。

【図 2】CCD 撮像素子における画素混合読み出しの説明図である。

【図 3】画素混合読み出しによる現データ信号、1 ライン遅延データ信号、2 ライン遅延データ信号の信号成分を示す説明図である。

【図 4】CCD 撮像素子におけるフレーム読み出しの説明図である。

【図 5】フレーム読み出しによる現データ信号、1 ライン遅延データ信号、2 ライン遅延データ信号の信号成分を示す説明図である。

【図 6】動画処理及び静止画処理における遅延データ信号を示す説明図である。

【図 7】フレームメモリからデータを読み出す方法の説明図である。

【図 8】本発明になる画像信号処理装置における信号遅延回路で現データ信号～ $m$  ライン遅延データ信号を得るための回路構成を詳述したブロック図である。

【図 9】本発明になる画像信号処理装置における信号遅延回路で 1 ライン遅延データ信号を得るための回路構成を詳述したブロック図である。

【図 10】本発明になる画像信号処理装置によりビデオカメラでフレーム静止画を生成及び記録するときの信号

処理方式を説明するブロック図である。

【図 1 1】本発明になる画像信号処理装置によりデジタルスチルカメラにおける静止画処理を行なうときのブロック図である。

【図 1 2】静止画処理の際にメモリにデータを書き込むときのアドレス信号及び書き込み信号のタイミングを示すタイムチャートである。

【図 1 3】静止画処理の際にメモリからデータを読み出すときのアドレス信号及び書き込み信号のタイミングを示すタイムチャートである。

【図 1 4】本発明になる画像信号処理装置により動画処理を行なうときのブロック図である。

【図 1 5】動画処理の際にメモリにデータを書き込むときのアドレス信号及び書き込み信号のタイミングを示すタイムチャートである。

【図 1 6】動画処理の際にメモリからデータを読み出すときのアドレス信号及び書き込み信号のタイミングを示すタイムチャートである。

すタイムチャートである。

【図 1 7】動画処理の際にメモリから読み出したデータを同時化するタイミングを示すタイムチャートである。

【図 1 8】画面中央部の処理を連続した状態で行なうためにフレームメモリに対するデータの書き込みと読み出し方法を示す説明図である。

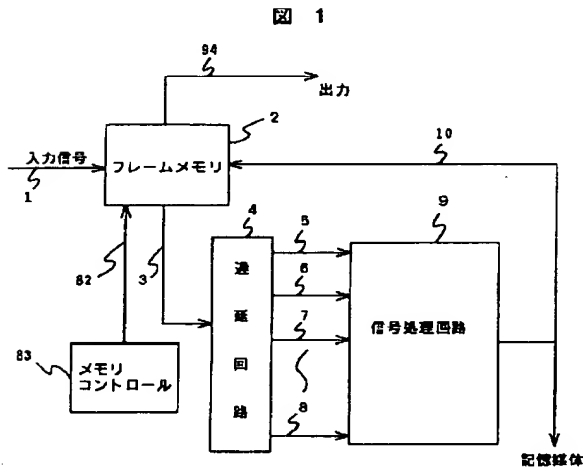
【図 1 9】本発明になる画像信号処理装置により静止画処理におけるデータ遅延と動画処理におけるデータ遅延を行なうためのブロック図である。

【図 2 0】本発明になる画像信号処理装置における信号処理回路の詳細を示すブロック図である。

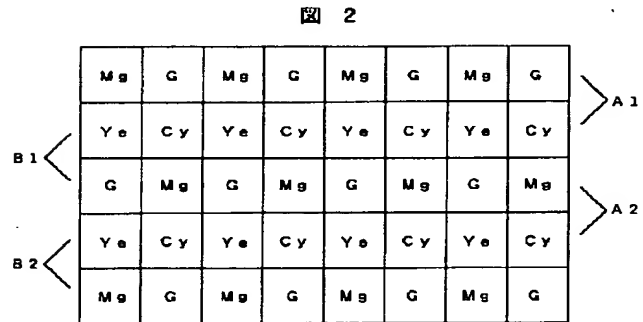
【符号の説明】

1…入力データ信号、 2…フレームメモリ、 4…信号処理回路、 3…読み出しデータ信号、 9…信号処理回路、 18…画素混合方式の撮像素子、 83…メモリコントロール部、 23～26…ラインメモリ。

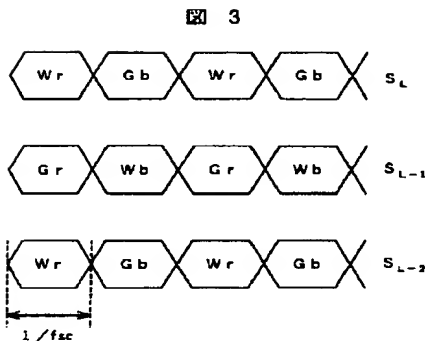
【図 1】



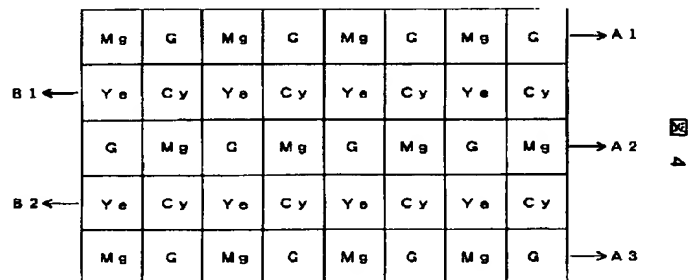
【図 2】



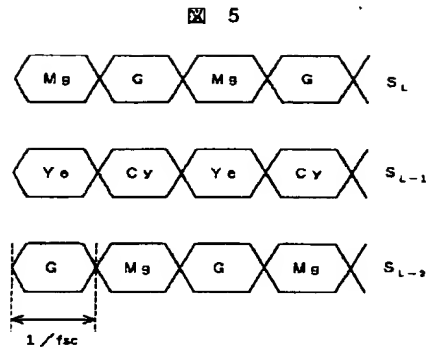
【図 3】



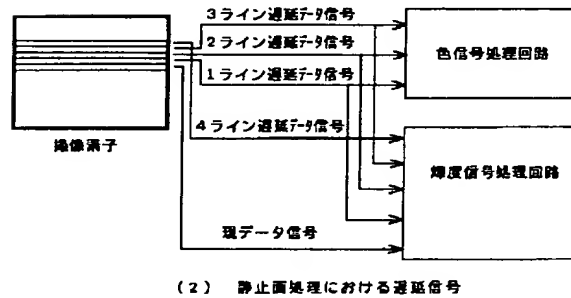
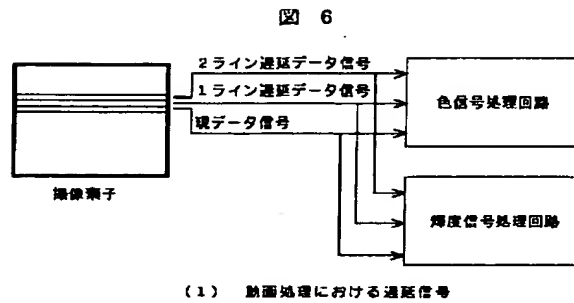
【図 4】



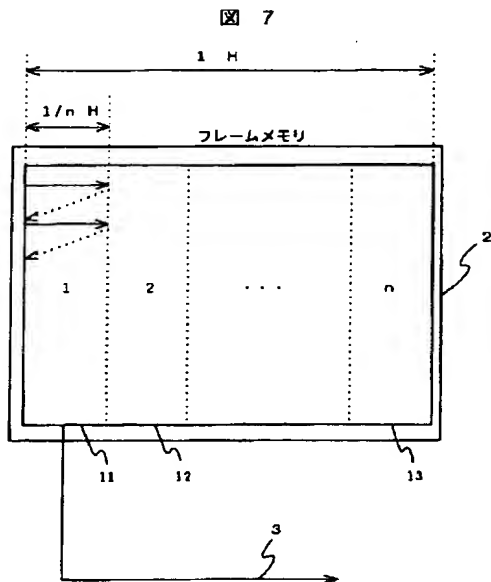
【図 5】



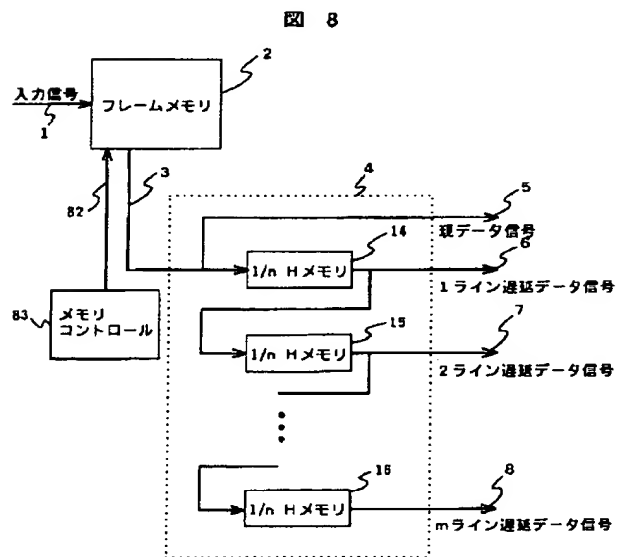
【図 6】



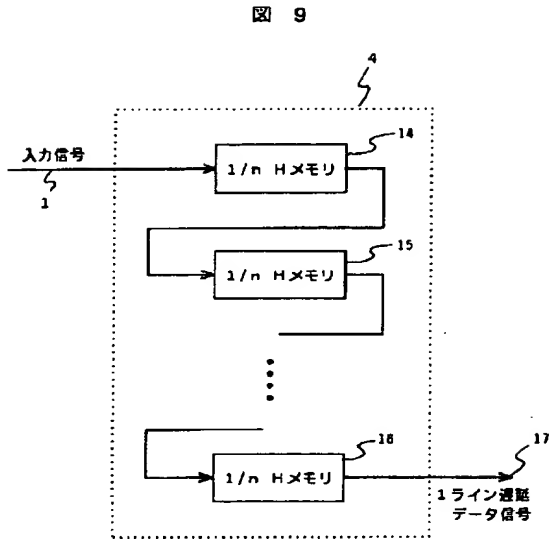
【図 7】



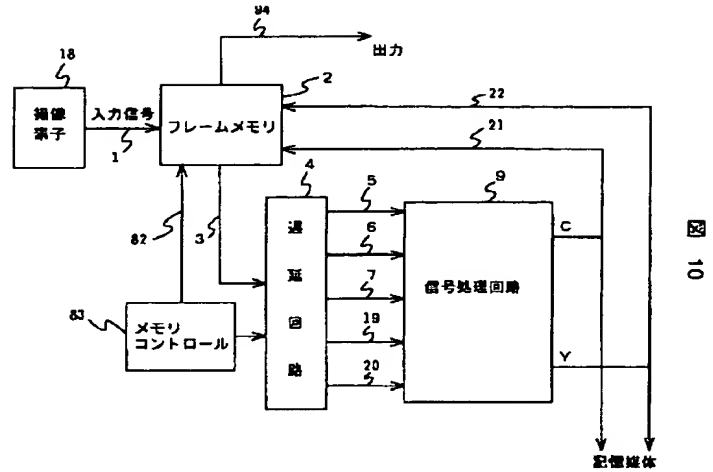
【図 8】



【図 9】



【図 10】



【図 12】

【図 11】

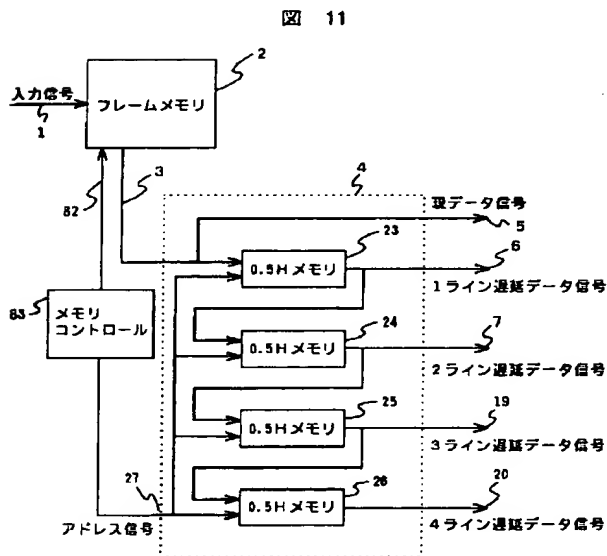
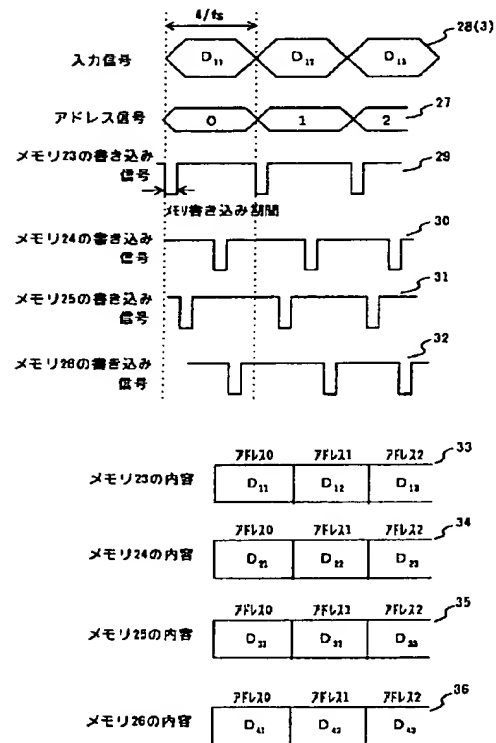
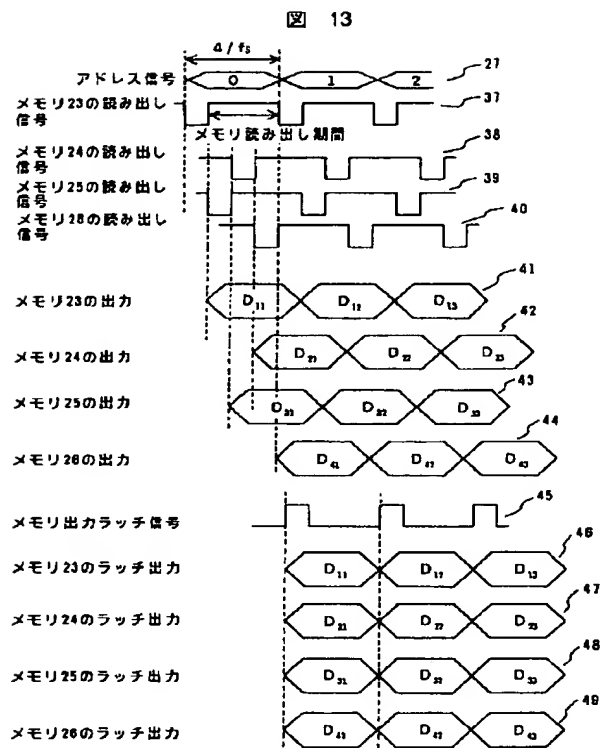


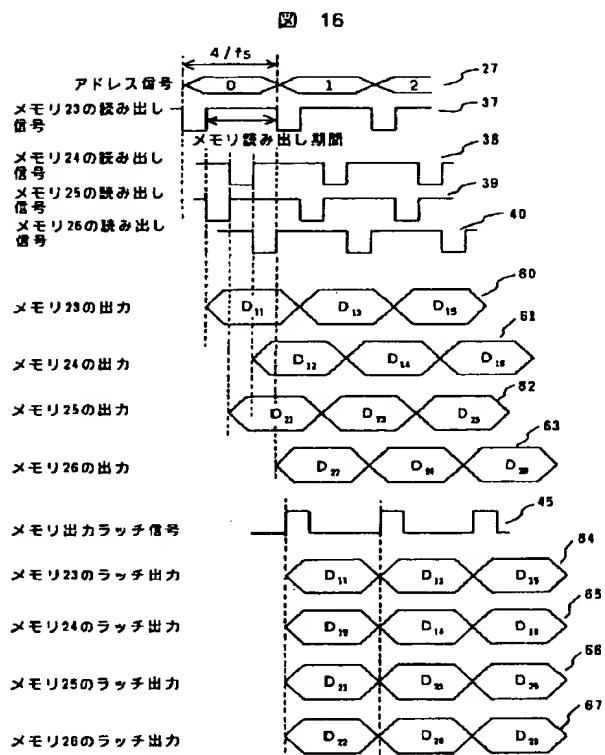
図 12



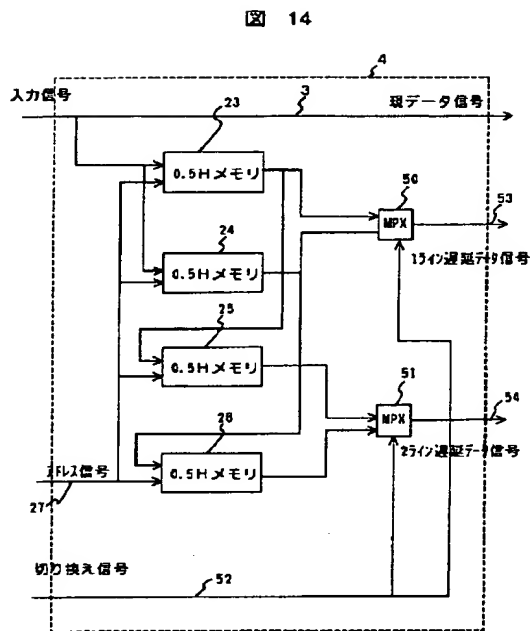
【図13】



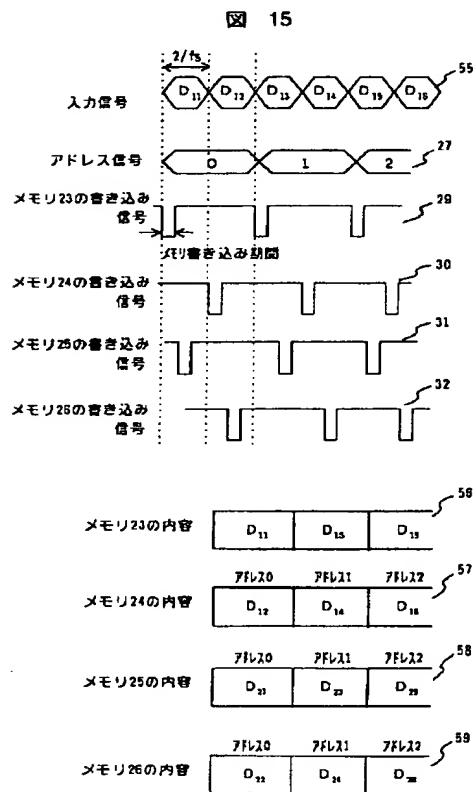
【図16】



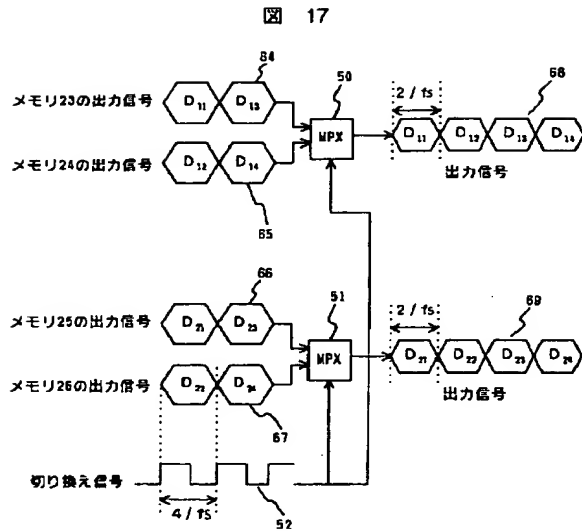
【図14】



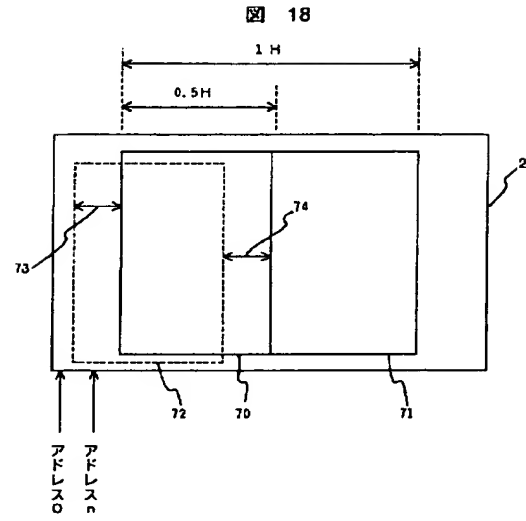
【図15】



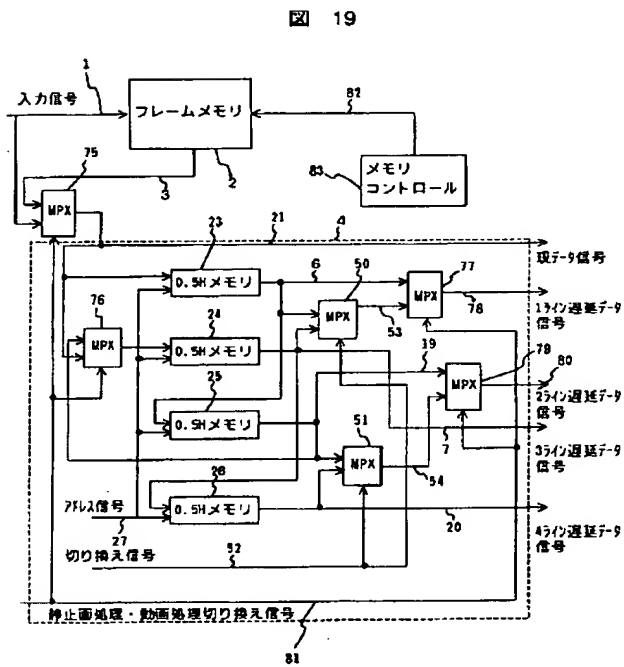
【図17】



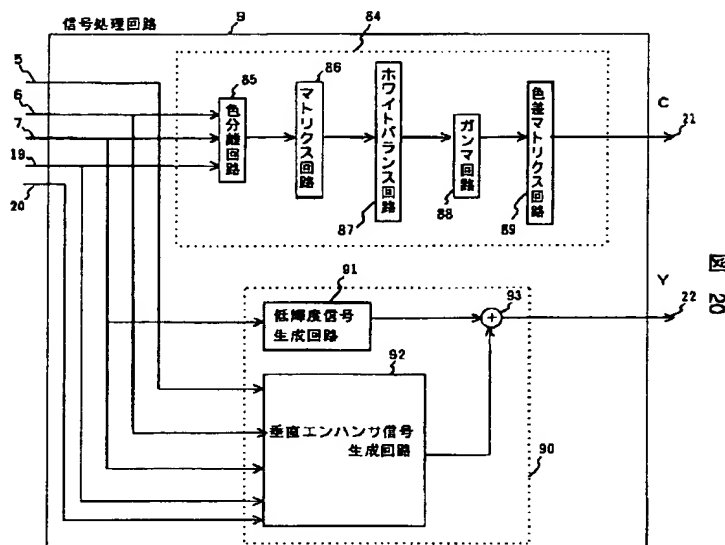
【図18】



【図19】



【図 20】



フロントページの続き

(72)発明者 前田 英一  
 東京都大田区中馬込 1 丁目 3 番 6 号 株式  
 会社リコー内

(72)発明者 阪口 知弘  
 東京都大田区中馬込 1 丁目 3 番 6 号 株式  
 会社リコー内